

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-043594

(43)Date of publication of application : 14.02.1990

(51)Int.Cl. G09C 1/00
G06F 7/58

(21)Application number : 63-194102

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 03.08.1988

(72)Inventor : MATSUZAKI NATSUME
TATEBAYASHI MAKOTO

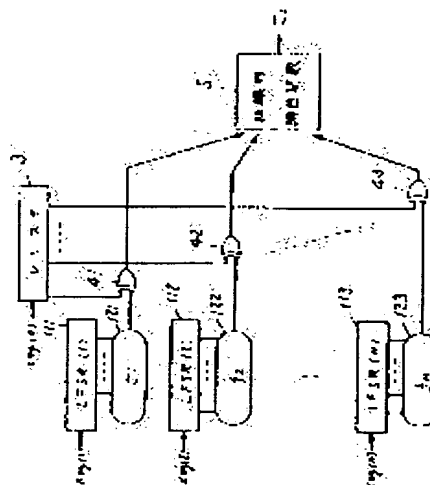
(54) BINARY FALSE RANDOM NUMBER GENERATOR

(57)Abstract:

PURPOSE: To change a period sequence itself in a binary false random number sequence by means of keys without deteriorating the properties of linear complexity, a period, etc., by adding N one-bit memories and N exclusive OR gates.

CONSTITUTION: The title random number generator is provided with N binary period sequence forming devices 111 to 113 capable of setting up the initial value of an internal state and outputting a binary value uniformly determined by the internal state and N one-bit memories 3 to be initialized when N is defined as a positive integer. When a part of a key is substituted for the N one-bit memories 3 and the key to be stored in the memories 3 is changed, the binary random sequence to be an output can be changed and the outputs of the devices 111 to 113 can be coupled with respective bit values of the memories 3 by exclusive OR operation.

Consequently, the binary random number sequence itself can be changed by keys without deteriorating characteristics in the period of an output sequence, linear complexity, and so on.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-43594

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)2月14日

G 09 C 1/00
G 06 F 7/58B 7368-5B
7056-5B

審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 二元疑似乱数発生器

⑯ 特 願 昭63-194102

⑰ 出 願 昭63(1988)8月3日

⑱ 発 明 者 松 崎 な つ め 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 ⑲ 発 明 者 館 林 誠 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 ⑳ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
 ㉑ 代 理 人 弁理士 栗野 重孝 外1名

明 細 書

1. 発明の名称

二元疑似乱数発生器

2. 特許請求の範囲

Nを正整数とするとき、内部状態の初期値が設定可能であり、内部状態によって一意的に定まる二進の値を出力とするN個の二元周期系列生成器と、初期設定可能なN個の1ビットメモリと、i番目の二元周期系列生成器($i=1\sim N$)における時期jの出力値 w_{ij} とそのi番目の二元周期系列生成器に対応する前記メモリの格納値との排他的論理和をとる各iに1個ずつ、合計N個のゲートと、前記排他的論理和ゲートのN個の出力を入力としてこれらを非線形に結合する結合器とを備えたことを特徴とする二元疑似乱数発生器。

3. 発明の詳細な説明

産業上の利用分野

本発明は例えばバーナム暗号発生装置等における二元疑似乱数発生器に関する。

なお、バーナム暗号は送受信双方で同じ二元擬

似乱数発生器を動作させ、その出力である二元疑似乱数と入力データとの排他的論理和を計算して暗号化、復号化を行う暗号方法である。

従来の技術

従来、二元疑似乱数発生器としては二進の周期系列を発生する線形の線形乱数発生器とそれらの出力を非線形に結合する結合器を用いて構成するものが知られている。すなわちゲッフェ(以下 GEFGE と称する)の方法(アール・ゲッフェ「ハワートゥプロテクトデータウィズサイファズザットアーリアリハードトゥブレイク」エレクトロニクス/1973. 1. 4 (R. GEFGE "How to protect data with ciphers that are really hard to break" Electronics/Jan. 4. 1973))のように複数の線形フィードバックシフトレジスタ(以降、LFSRと略して表現する)の出力ビットを論理和、排他的論理和、スイッチ等で構成した非線形結合関数に入力して二元疑似乱数ビットを発生する方法である。

特開平2-43594 (2)

非線形要素を結合関数に含める理由は非線形要素によって効率的に線形複雑度を増大しバーレカンブ-マッセイ（以下BERLEKAMP-MASSEYと称する）の方法（イー・アール・バーレカンブ「アルジェブレイク コーディング セオリー」マックグロ-ヒル1968（E. R. Berlekamp "Algebraic Coding Theory" McGraw-Hill 1968））による出力系列の解析を実質上不可能にするためである。

第3図はCEFFBの提案した二元擬似乱数発生器の構成図を示す。11は第1のLFSR、12は第2のLFSR、13は第3のLFSRである。14は第2のLFSRの出力が1のときに第1のLFSRの出力値を出力とするANDゲート、15は第2のLFSRの出力が0のときに第3のLFSRの出力値を出力とするゲート、16はゲート14と15の排他的論理和を計算するゲートであり、このゲートの出力を二元擬似乱数列として用いる。つまり、14、15、16のゲートで第2のLFSRの出力をスイッチとしてこの値が1のときは第1の

LFSRの出力を二元擬似乱数ビットとし、0のときは第3のLFSRの出力を二元擬似乱数ビットとする非線形の結合関数を実現している。ただし、第1、第2、第3のLFSRは共通のクロックで動作する。

第4図は線形フィードバックシフトレジスタLFSRの具体的構成例を示している。この例では、初期値を“0001”，最小多項式を $x^4 + x + 1 = 0$ とする4ビットのLFSRを示している。同図において“+”は排他的論理和を示している。4ビットのレジスタ値を{03, 02, 01, 00}としてこのLFSRの動作を1クロックごと説明すると次のようになる。なお、このレジスタ値の値は特許請求の範囲における二元周列系列生成器の“内部状態”の1つの例を示している。ただし以降の記述において“+”は排他的論理和を、“-”は否定を、“=”は代入を示す。

1 初期値を代入する。{03, 02, 01, 00}
= {0, 0, 0, 1}
2 temp = 01 00

00 = 01

01 = 02

02 = 03

03 = temp

従って、{03, 02, 01, 00} = {1, 0, 0, 0}となる。

3 2と同様に{03, 02, 01, 00} = {0, 1, 0, 0}となる。

4 以下同様に繰り返す。

以上のことより出力系列 $z_1 = 00 = 11000100111\cdots$ となる。特にLFSRの特性多項式が原始多項式の場合、出力系列はM系列となる。

第5図はCEFFBの二元擬似乱数発生器（第3図）におけるLFSR(1)～LFSR(4)を具体的に構成した小さな例を示している。この例を用いて従来の動作の説明を行う。

LFSR(1)は{01, 00}を初期値、 $x^2 + x + 1 = 0$ を原始多項式とするM系列生成LFSR、LFSR(2)は{02, 01, 00}を初期値、 $x^3 + x + 1 = 0$ を原始多項式とするM系列生成

LFSR、LFSR(3)は{04, 03, 02, 01, 00}を初期値、 $x^5 + x^3 + 1 = 0$ を原始多項式とするM系列生成LFSRである。

LFSR(1)は{01, 00} = {0, 1}を初期値とすると、

$y^1_1 = \{101101101101\cdots\}$ を出力とする。（周期：7）

LFSR(2)は{02, 01, 00} = {0, 0, 1}を初期値とすると、

$y^2_1 = \{100101110010111001011\cdots\}$ を出力とする。（周期：7）

LFSR(3)は{04, 03, 02, 01, 00} = {0, 0, 0, 0, 1}を初期値とすると、

$y^3_1 = \{1000010101110110001111100110100100001010110001111100110100\cdots\}$ を出力とする。（周期：21）

従って、出力系列 $z_1 (= y^1_1 \oplus y^2_1 \oplus y^3_1, \cdots, y^3_{21})$ は以上のことより第8図のようになる。

特開平2-43594(3)

(800サンプル)

以上説明した従来の二元疑似乱数発生器の一般的構成がレベル「アナリシス アンド デザイン オブ ストリーム サイファズ」スプリングerverlag, 1986 (RUSPPBL "Analysis and Design of Stream Ciphers" Springer-Verlag 1986) 8, 48に示されている。第6図にLFSRを用いた従来の一般的な二元疑似乱数発生器の構成を示す。211~213はN個のLFSRである。221~223は前記各LFSRの格納値を入力として非線形操作を行うN個の非線形ステートフィルタ(11~1N)、23は前記N個の非線形ステートフィルタの出力系列の合計Nビットを入力としてこれに対して非線形の操作を行う非線形結合関数12である。

特に長周期を二元疑似乱数生成するため各LFSRの次数が互いに素なM系列生成LFSRで実現することが多い。また、二元疑似乱数発生器の鍵はLFSR211~213の初期値とする。

なお、文献(同本、中村「非線形二元疑似乱数

発生方式の一案」昭和61電子通信学会全国大会)によればLFSRを用いた二元疑似乱数発生器の安全性評価基準としては以下のものが上げられている。

- (1) 非線形であること。
- (2) 線形複雑度がBERLEKAMP-MASSEYの解析が実質不可能なほど高いこと。
- (3) 雑音性を満たすこと。
- (4) 長周期性を満たすこと。
- (5) 0, 1の出現頻度が等しいこと。

この各項目に従って前記表2に示した二元疑似乱数列 s_i を評価すると以下のとおりになる。

- (1) 結合関数内にMDSゲート14, 15が含まれているため非線形である。
- (2) 線形複雑度=(LFSR1のビット数) \times (LFSR2のビット数)+(LFSR3のビット数) \times (LFSR2のビット数+1)= $2 \times 3 + 3 \times 4 = 26$
- (3) 無相関性は十分ではない。(ティ・ゾーゲンター「デクリプティング クラス オブ

ストリーム サイファズ ユージング サイファテキスト オンリ」アイ トリブル イ トランザクション オン コンピュータ 1985 (T. SIEGENTHALER "Decrypting a Class of Stream Ciphers Using Ciphertext only" IEEE Trans. on Computer 1985))

(4) 周期=651

(5) 1周期651サンプル中"0"の出現頻度: 322回, "1"の出現頻度: 259回
発明が解決しようとする課題

しかしながら、従来の二元疑似乱数発生器において各LFSRをM系列生成LFSRで構成し、さらに二元疑似乱数発生器の鍵をそのLFSRの初期値とすると、鍵を変化しても二元疑似乱数系列 s_i の位相のみが変化し、周期系列としては同じであるという問題が生じる。この理由を第6図に示した一般的構成で説明する。

(1) M系列生成LFSRはそのビット数で表現できるすべての内部状態(s_1, \dots, s_m)をとる。

なお、LFSRの状態は1クロックごととこの順番で周期的に遷移するものとする。

- (2) M系列生成LFSRに設定する初期値がA1の場合とA2($\neq A1$)の場合を比較する。A1はLFSRのビットで表現できるすべての内部状態(s_1, \dots, s_m)のうちのある s_i と同じである。従って、A1を初期値に設定した場合のLFSRの出力系列は($s_1, s_{1+1}, \dots, s_m, s_1, \dots, s_{i-1}$)となる。A2はLFSRのビットで表現できるすべての内部状態(s_1, \dots, s_m)のうちのある s_j ($\neq s_i$)と同じである。従って、A2を初期値に設定した場合のLFSRの状態遷移は($s_j, s_{j+1}, \dots, s_m, s_1, \dots, s_{j-1}$)となる。

- (3) メモリレスの非線形ステートフィルタはLFSRのある状態 s_k に対して一般的に出力値 t_k が決定する。($t_k = 0$ または 1) 従って、LFSRの初期値にA1を代入した場合の非線形ステートフィルタの状態遷移は($t_1, t_{1+1}, \dots, t_m, t_1, \dots, t_{i-1}$) LFSRの初期値

特開平2-43594(4)

にA2を代入した場合の非線形スタートフィルタの出力系列は $(t_j, t_{j+1}, \dots, t_m, t_1, \dots, t_{j-1})$ となる。従って2つの場合における非線形スタートフィルタの出力系列は起点の位相のみが異なっており周期系列そのものとしては同じである。

- (4) メモリレスの非線形結合関数は各非線形スタートフィルタの出力値によって一意的に出力値(=二元擬似乱数)が決定する。従って、上記のことより2つの場合の結合関数の出力系列は位相だけが異なる。

以上のことを第8図の例を用いて具体的に説明をする。ただし、この例は従来の二元擬似乱数発生器の一般的な構成(第6図)における非線形スタートフィルタを省いた例である。

従来の技術の項で説明したように、第8図に於ける鍵を

$$\begin{aligned} [a1, a0] &= [0, 1], \\ [b2, b1, b0] &= [0, 0, 1], \\ [c4, c3, c2, c1, c0] &= [0, 0, 0, 1, 0]. \end{aligned}$$

化する方が望ましい。

本発明は概かる点に鑑み、出力系列の周期、0と1の出現頻度等統計的数値、線形複雑度における特性を劣化させずに、鍵によって二元擬似乱数系列そのものが変化する二元擬似乱数発生器を実現することを目的とする。

課題を解決するための手段

本発明はNを正整数とすると、内部状態の初期値が設定可能であり、内部状態によって一意的に定まる二値の値を出力とするN個の二元周期系列生成器と、初期設定可能なN個の1ビットメモリと、1番目の二元周期系列生成器($i=1 \sim N$)における時刻jの出力値 w^1_j とそのi番目の二元周期系列生成器に於ける前記メモリ格納値との排他的論理和をとる各iに1個ずつ、合計N個のゲートと、前記排他的論理和ゲートのN個の出力を入力としてこれらを非線形に結合する結合関数とを備えたことを特徴とする二元擬似乱数発生器である。

作用

0, 0, 1)としたときの出力系列は第9図に示したとおりである。(800サンプル)

同様に鍵を

$$\begin{aligned} [a1, a0] &= [0, 1], \\ [b2, b1, b0] &= [0, 0, 1], \\ [c4, c3, c2, c1, c0] &= [0, 0, 0, 1, 0]. \end{aligned}$$

0, 1, 0)としたときの出力系列を第9図に示す。(800サンプル)

第8図の出力系列と第9図の出力系列を比較すると、第9図の系列は第8図の系列を63ビット位相だけ遅延したものになっていることが分かる。

このように鍵の違いが出力系列の位相にのみ反映するならば例えば次のような危険性がある。それは、1図には短い二元擬似乱数列しか手に入れる能力しかない傍聴者にとっても入手した擬似乱数ブロックの二元擬似乱数列(鍵は同じかもしれないし異なっているかもしれない)を組み合わせることによって長い二元擬似乱数列を手に入れることができるという可能性である。従って、鍵によって位相だけではなく二元擬似乱数列そのものが変

本発明は前記した構成のN個の1ビットメモリに鍵の一部を代入する。メモリに格納する鍵を変化することによって出力である二元乱数系列そのものが変化する。さらに二元周期系列生成器の出力とメモリの各ビット値を排他的論理和で結合しているため、排他的論理和の出力系列は元来、二元周期系列生成器のもっている周期、統計的性質、線形複雑度の特性を保存している。

従って、結合関数においてこれらN個の系列を入力として得られる二元擬似乱数は従来の二元擬似乱数の安全性に関する特性が劣化せず、そのうえ鍵(=初期状態)によって出力系列の起点の位相だけでなく周期系列自身が変化する。

実施例

第1図は本発明の一実施例における二元擬似乱数発生器の構成図を示すものである。第1図において111~113はN個のLFSR、前記各LFSRの格納値を入力として非線形操作を行うN個の非線形スタートフィルタ(11~1N)、3はNビットのレジスタ、41, 42, 43は前記

非線形スタートフィルタ $f_1 \sim f_N$ の各出力と前記レジスタの対応ビットとの排他的論理和をとるゲート、 g は前記ゲートの出力を入力としてこれを非線形に結合する非線形結合関数 F である。

この構成において鍵はLFSR(1)～LFSR(N)の初期値 $key(1) \sim key(N)$ と N ビットのレジスタの格納値 $key(N)$ である。 $key(N)$ を同じくして $key(1) \sim key(N)$ を変化すると従来どおり出力系列の位相のみが変化して系列そのものは変化しない。 $key(N)$ を変化すると出力系列そのものが変化する。したがって 2^N 通りの出力系列がある。

第1図に示した構成のうちLFSRや非線形関数を具体的に示した例を第2図に上げる。第2図は従来例の525PFSの二元擬似乱数発生器(第4図)に本発明のポイントである、鍵を格納するレジスタ s と、その各ビットとLFSRの出力値との排他的論理和 r 、 g 、 h を付加したものである。

この二元擬似乱数発生器における鍵を

$$key(1) = \{a_1, a_0\} = \{0, 1\}$$

$$key(2) = \{b_2, b_1, b_0\} = \{0, 0, 1\}$$

$$\begin{aligned} &= \{101101101101101 \dots\} \\ u^2_1 &= y^2_1 \quad d_1 = y^2_1 \quad "0" = y^2_1 \\ &= \{1001011100101110 \\ &\quad 01011 \dots\} \\ u^3_1 &= y^3_1 \quad d_0 = y^3_1 \quad "1" = -y^3_1 \\ &= \{011110101010001001 \\ &\quad 110000011001011 \\ &\quad 0111101010001001 \\ &\quad 110000011001011 \\ &\quad \dots\} \end{aligned}$$

従って、出力系列 $u_i (= u^1_i + u^2_i + u^3_i)$ は表1のとおりになる。

第7図は第8図、第9図に示している従来例の二元擬似乱数系列とは明らかに異なっている。つまり、レジスタ s の値を変えることによって二元擬似乱数系列自身が変化する。

また、第7図の系列について従来例と同様に文献(岡本、中村「非線形二元擬似乱数発生方式の一案」昭和61年電子通信学会全国大会)による安全性評価基準に沿って評価すると以下のとおり

特開平2-43594(5)

$$key(3) = \{c_4, c_3, c_2, c_1, c_0\}$$

$$= \{0, 0, 0, 0, 1\}$$

$$key(4) = \{d_2, d_1, d_0\} = \{0, 0, 1\}$$

とする。この場合の本二元擬似乱数発生器の動作を以下に説明する。

LFSR1, LFSR2, LFSR3の出力系列 y^1_i

y^2_i, y^3_i はそれぞれ

$$y^1_i = \{101101101101 \dots\}$$

$$y^2_i = \{1001011100101110 \\ 01011 \dots\}$$

$$y^3_i = \{1000010101110110 \\ 001111100110100 \\ 1000010101110110 \\ 001111100110100 \\ \dots\}$$

となる。

レジスタ s の値は $\{d_2, d_1, d_0\} = \{0, 0, 1\}$ であるので排他的論理和 r 、 g 、 h の出力は以下のとおりになる。

$$u^1_i = y^1_i \quad d_2 = y^1_i \quad "0" = y^1_i$$

になる。

(1) ANDゲートが含まれているため非線形である。

(2) 線形複雑度=30

(3) 無相関性は十分ではない。(従来例と同様)

(4) 周期=651

(5) 1周期651サンプル中“0”の出現頻度: 268回、“1”の出現頻度: 383回

これを従来例の二元擬似乱数系列第8図の特性と比較する。

・線形複雑度は増加している。これは第2図における u^3_i の線形複雑度が d_0 が“1”であるために y^3_i に比べ1増加しているためである。

・周期は1周期の間レジスタの格納値を一定にしているため従来と同じである。

・出力の“0”と“1”の出現頻度は525PFSの方法の場合、本発明の付加回路によって変化している。ところで、非線形結合関数 F を入力系列の0と1の出現頻度が同じときに出力系列についてもその0と1の出現頻度が同じになる

特開平2-43594(6)

より設計する。例えばFとして各入力の前他の論理和を出力するものと考えた場合、この乗分は満たされる。するとFには各LFSRからM系列またはM系列の否定(どちらも一周期中の0と1の出現頻度は等しい)が入力されるため出力系列の0、1バランスは満たされる。

以上のことより本発明の付加回路は、従来の二元擬似乱数発生器の安全性に関する特性を劣化しないことが分かる。

以上のように本実施例によれば多少の回路を付け加えるだけで従って二元擬似乱数系列自身を劣化することができる。また、このことにより二元擬似乱数発生器の安全性に関する性質が劣化していない。

なお、以上の実施例において単なるレジスタθを付加したがこの部分をLFSR等で構成しても良い。ただし二元擬似乱数発生器の安全性に関する性質を劣化しないことを保証するため、LFSRで構成した場合にはそのシフトを出力系列の1周期に1回(前期の例では651クロックに1回)

とするなどタイミングを考慮する必要がある。

また、実施例においては従って各LFSRの初期値と、レジスタのみに入力するように設定したが、従ってLFSRの結合、非線形ステートフィルタ、非線形結合関数がコントロールできるようにしておいても良い。

また、第1図における実施例の非線形ステートフィルタf(i)〜f(N)は、前記でGBFEBの二元擬似乱数発生器に本発明を適用した例の通り、省略しても良い。

発明の効果

以上説明したように本発明によれば、従来の構成にN個の1ビットメモリとM個の他の論理和ゲートという多少の回路を付加するだけで、前記M個の1ビットメモリに格納する値によって二元擬似乱数系列の周期系列自身を変化することができる。さらにこの付加回路によって線形複雑度、周期、0、1バランス等の性質が劣化することはない。従って、その実用的効果は大きい。

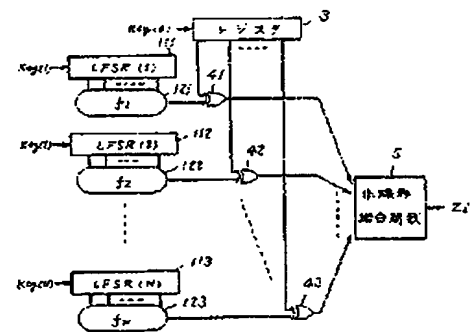
4. 図面の簡単な説明

第1図は本発明の一実施例の二元擬似乱数発生器の構成図。第2図は本発明を具体的にGBFEBの方法に適用した例の構成図。第3図はGBFEBの方法における構成図。第4図はLFSRの具体的な構成図。第5図はGBFEBの方法の具体的な構成図。第6図は従来の二元擬似乱数発生器の一般的な構成図。第7図は前記実施例における出力系列の例を示すデータ図。第8図、第9図はGBFEBの方法による出力系列の例を示すデータ図である。

1 1 1, 1 1 2, 1 1 3, 1 1, 1 2, 1 3, 2 1 1, 2 1 2, 2 1 3……LFSR, 1 2 1, 1 2 2, 1 2 3, 2 2 1, 2 2 2, 2 2 3……非線形ステートフィルタ、3, 0……レジスタ、4 1, 4 2, 4 3, 7, 8, 9, 1 4, 1 5, 1 6……ゲート、5, 2 3……非線形結合関数。

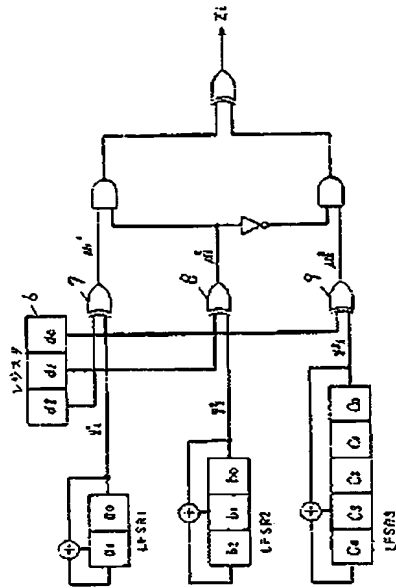
代理人の氏名 弁理士 栗 野 重 孝 ほか1名

第 1 図

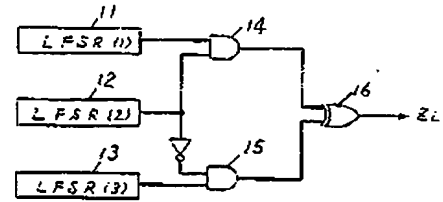


特開平2-43594(7)

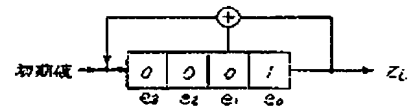
第 2 図



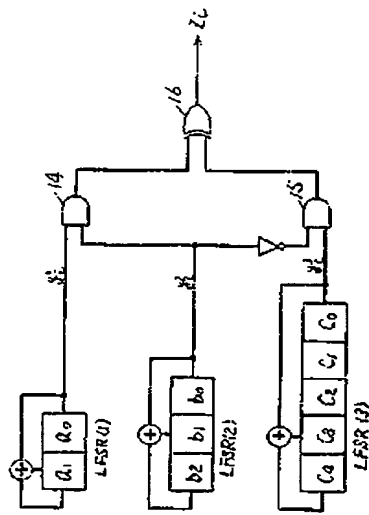
第 3 図



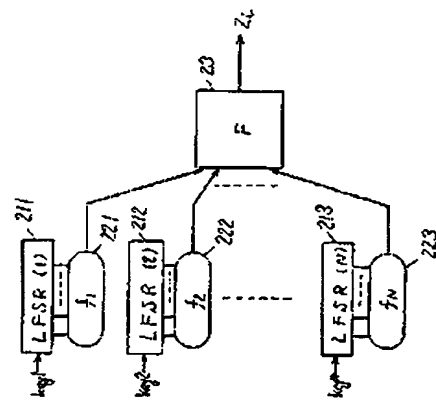
第 4 図



第 5 図



第 6 図



特開平2-43594

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第2区分
 【発行日】平成5年（1993）5月7日

【公開番号】特開平2-43594
 【公開日】平成2年（1990）2月14日
 【年道号数】公開特許公報2-436
 【出願番号】特願昭63-194102
 【国際特許分類第5版】

G09C 1/00 7922-SL
 G06F 7/58 B 2116-5B

手続補正書

平成 4 年 4 月 1 日

特許庁長官殿

1 事件の表示

昭和 63 年 特 許 願 第 194102 号

2 発明の名称

二元類似乱数発生器

3 補正をする者

事務上の関係 特 許 出 願 人
 住 所 大阪府門真市大字門真1006番地
 又 在 (582) 松下電器産業株式会社
 代 表 者 谷 井 昭 雄

4 代理人 〒571

住 所 大阪府門真市大字門真1006番地
 松下電器産業株式会社内

氏 名 (7242) 弁理士 小 堀 浩 明
 (以下 2 名)
 (送付先 電 話 075(2)・4711 電 信 機 関 局 内)

5 補正の対象

明細書の発明の詳細な説明の欄
 図 面

6、補正の内容

- (1) 明細書の第4ページ10行目「1」を「中」に補正します。
- (2) 同第4ページ16行目「」を「へ」に補正します。
- (3) 同第4ページ20行目「temp = e₁ 〇〇」を「temp = e₁ ^ e₀」に補正します。
- (4) 同第5ページ11行目～12行目「表2に示した二元類似乱数列 Z_i を」「第8図の二元類似乱数発生器の出力（第8図）を」に補正します。
- (5) 同第12ページ10行目「第8図の系列は第9図の」を「第8図の系列は第9図の」に補正します。
- (6) 図面の第8図を別紙の様に補正します。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.